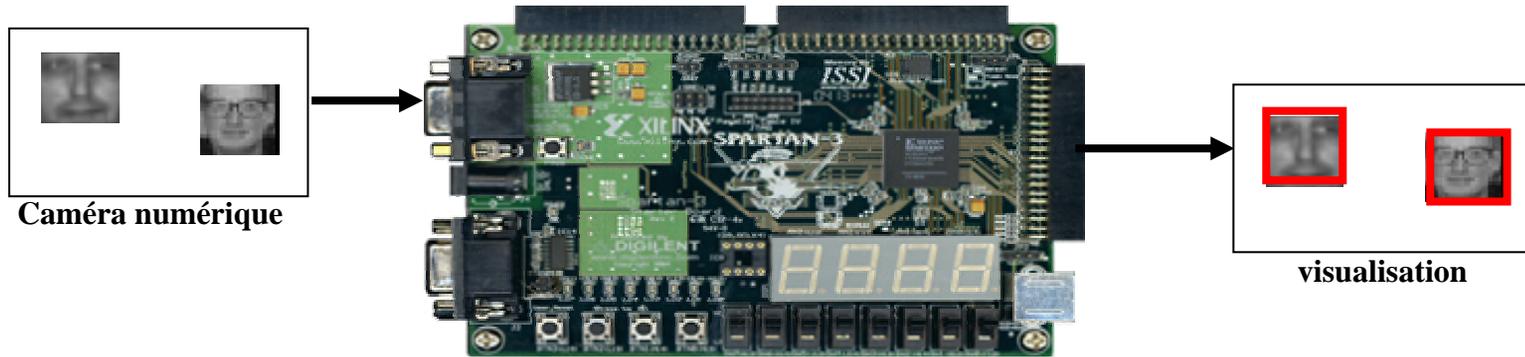


Détection de visages à partir d'une séquence vidéo : étude algorithmique et implantation sur FPGA



Sujet proposé : Eva Dokladalova (e.dokladalova@esiee.fr), Mohamed Akil (akilm@esiee.fr)

Objectif du projet : il s'agit de réaliser un système basé autour de la carte FPGA Spartan pour la détection de visages, en temps réel, à partir d'un flux vidéo.

La Détection de visages à partir d'un flux vidéo est une étape importante dans une application de reconnaissance de visages. Ce type d'applications est de plus en plus utilisé dans des domaines tels que : le contrôle d'accès, la vidéo. Ce projet vise l'implantation en temps réel (par exemple à la cadence vidéo, c'est-à-dire 25 images par seconde) d'un algorithme de détection de visages (algorithme de Viola&Jones, dont le code C a été implémenté à l'ESIEE-A2SI sur un PC (processeur Pentium IV)).

Travail à réaliser, ce projet comporte les phases suivantes :

- L'analyse algorithmique afin d'explorer les différents types de parallélisme que comporte l'algorithme et d'estimer la complexité du détecteur en termes d'opérations de calcul (types d'opérations) et de ressources requises
- L'évaluation des performances : temps de calcul, temps d'accès mémoire, espace mémoire, différents types de ressources requises
- L'implantation du détecteur sur un circuit FPGA Spartan, à l'aide de l'environnement **catapult C (ENVIRONNEMENT LOGICIEL PERMETTANT DE GENERER DIRECTEMENT LE CIRCUIT MATERIEL A PARTIR D'UN ALGORITHME ECRIT EN C/C++)**.
- La réalisation du système comprenant : un PC, une interface avec une caméra numérique, une carte Spartan, ainsi que le logiciel de mise en œuvre du démonstrateur.